

(19) 世界知的所有権機関
国際事務局(43) 国際公開日
2004 年 6 月 3 日 (03.06.2004)

PCT

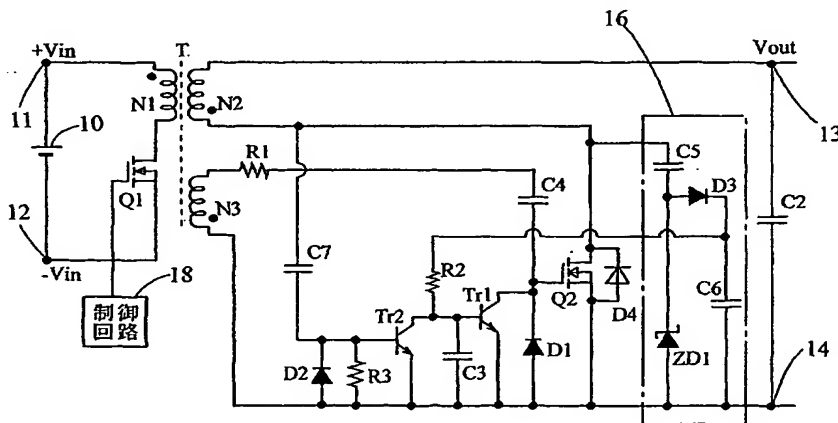
(10) 国際公開番号
WO 2004/047278 A1

- (51) 国際特許分類⁷: H02M 3/28 (72) 発明者; および
(21) 国際出願番号: PCT/JP2003/014689 (75) 発明者/出願人 (米国についてのみ): 高島 誠
(22) 国際出願日: 2003 年 11 月 18 日 (18.11.2003) (TAKASHIMA, Makoto) [JP/JP]; 〒931-8303 富山県
(25) 国際出願の言語: 日本語 富山市 米田町 1-4-2 O Toyama (JP). 廣川 芳通
(26) 国際公開の言語: 日本語 (HIROKAWA, Yoshimichi) [JP/JP]; 〒939-8213 富山県
(30) 優先権データ: 富山市 黒瀬 2 4 0-5 5 Toyama (JP).
特願 2002-335236 (81) 指定国 (国内): CN, KR, US.
2002 年 11 月 19 日 (19.11.2002) JP (84) 指定国 (広域): ヨーロッパ特許 (AT, BE, BG, CH, CY,
特願 2003-113618 2003 年 4 月 18 日 (18.04.2003) JP CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC,
(71) 出願人 (米国を除く全ての指定国について): コーセル株式会社 (COSEL CO., LTD.) [JP/JP]; 〒930-0816 富山県 富山市 上赤江町 1-6-4 3 Toyama (JP). NL, PT, RO, SE, SI, SK, TR).
添付公開書類:
— 国際調査報告書

[続葉有]

(54) Title: SYNCHRONOUS RECTIFICATION SWITCHING POWER SUPPLY

(54) 発明の名称: 同期整流スイッチング電源装置



18...CONTROL CIRCUIT

(57) Abstract: A fly-back synchronous rectification switching power supply in which a rectifying element is always turned off before the main switch element is turned on even if the on-time of the main switch element is made long due to a sudden change of the load. The synchronous rectification switching power supply comprises drive means composed of a synchronously rectifying element (Q2) connected in series to the secondary winding (N2) of a transformer (T) between the output terminals (13, 14), an auxiliary winding (N3) for complementarily turning on the synchronously rectifying element (Q2) complementarily to the main switch element (Q1), and so forth. A transistor (Tr1) adapted for turning off the synchronously rectifying element (Q2) and to serve as cut-off means is inserted between the gate and source of the synchronously rectifying element (Q2). The off time at which the cut-off means (Tr1) turns off the synchronously rectifying element (Q2) is within a given time after the main switch element (Q1) is turned on. The given time is made as approximate to a given drive cycle of the main switch element (Q1) as possible.

(57) 要約: 負荷の急変により主スイッチ素子のオン時間が長くなった場合にも、主スイッチがオンする前に確実に整流素子がオフするようにしたフライバック型の同期整流式スイッチング電源装置である。この同期整流式

[続葉有]

WO 2004/047278 A1



2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

スイッチング電源装置は、出力端子(13,14)間にトランス(T)の2次巻線(N2)と直列に接続された同期整流素子(Q2)と、同期整流素子(Q2)を主スイッチ素子(Q1)と相補的にオンさせる補助巻線(N3)等から成る駆動手段を備える。同期整流素子(Q2)のゲートソース間に同期整流素子(Q2)をオフさせる遮断手段であるトランジスタ(Tr1)を設ける。遮断手段(Tr1)により同期整流素子(Q2)をオフさせるオフタイミングを、主スイッチ素子(Q1)がオンした後の一定の時間であって、主スイッチ素子(Q1)の一定の駆動周期に可及的に近い範囲内のタイミングとする。

明 細 書

同期整流スイッチング電源装置

技術分野

この発明は、直流電圧を所望の電圧に変換し、電子機器に供給する同期整流方式のスイッチング電源であって、特にフライバック型の同期整流スイッチング電源装置に関する。

背景技術

従来の同期整流方式の整流回路を備えたスイッチング電源装置であるフライバックコンバータは、例えば特開 2000-116122 号公報に開示されているように、トランスの 1 次巻線側に直流電源と主スイッチ素子より成る直列回路が接続され、トランスの 2 次巻線には、同期整流素子が直列に設けられ、さらに整流回路を介して出力端子に接続されている。このフライバックコンバータは、MOS-FET の主スイッチ素子をオン・オフ制御し、主スイッチ素子がターンオフしたときに、トランスの 2 次側回路の同期整流素子である MOS-FET をオンし、2 次巻線に発生するフライバック電圧により整流回路の出力コンデンサを充電する。この後、主スイッチ素子がオンする前に同期整流素子をオフにするようにし、この動作を繰り返して出力側に電力を供給している。

この同期整流式のフライバックコンバータの場合、同期整流素子のオフタイミングがずれて、同期整流素子がオン状態のまま主スイッチがオンすると、電源装置の 2 次側の回路がショートした状態となり、主スイッチ素子に大きなサージ電流が流れてしまい、主スイッチ素子や同期整流素子等の破壊に至る場合がある。

そこで、特開 2000-116122 号公報に開示されているように、主スイッチ素子と同期整流素子の同時オン状態を防止するために、主スイッチ素子のオフにより、同期整流素子がオンした後、補助巻線に誘起される電圧とタイミング抵抗とにより定まる電流で、タイミングコンデンサを充電して、一定時間後に補助トランジスタをオンして整流素子をオフするようにしたスイッチング電源回路があった。

この従来技術による同期整流式のスイッチング電源装置の場合、図 1 に示すように、主スイッチ素子がオンする前に必ず整流素子がオフするように、タイミングコンデンサによる一定時間 T_c は、主スイッチ素子のオンタイミングに対してある程度前になるようにデ

ッドタイム t_d が存在するように設定されていた。このデッドタイム t_d は、定常状態において、入力電圧と出力電圧及びトランスの巻き数比により決定される主スイッチ素子のオフ時間内に、整流素子がオフするように、タイミングコンデンサの時定数によって設定されている。

しかしながら、上記従来の技術の同期整流式のフライバックコンバータの場合、負荷電流が急激に増加し、入出力電圧とトランスの巻き数比により決定される主スイッチ素子のオン時間よりも長い時間、主スイッチ素子がオンすることがある。このようなケースでは、図1の破線で示すように、主スイッチ素子の一定のオン・オフ周期内でタイミングコンデンサの電圧が、同期整流素子をオフする補助トランジスタ素子の閾値電圧まで達しない場合がある。このような場合、整流素子がオフしないうちに主スイッチ素子がオンし、主スイッチ素子に非常に大きなサージ電流が流れ、電源装置の2次側の回路がショートした状態となり2次側回路に貫通電流が流れ、主スイッチ素子や同期整流素子等の破壊に至ると言う問題があった。

一方、上記デッドタイム t_d の期間は、同期整流素子と並列に接続したダイオード、若しくは同期整流素子であるMOS-FETのボディダイオードにより、整流動作を行っていることになる。このダイオードによる整流期間は、MOS-FETの整流素子がオンしている期間よりも損失が大きい。従って、できるだけこのデッドタイムは短くしたいものであるが、主スイッチ素子がオンする前に確実に同期整流素子をオフしておくためには、上記デッドタイム t_d を短くすることができないという問題があった。さらに、このデッドタイム t_d を短くできないために、スイッチング周波数も高くすることができず、装置の小型化やコストダウンの妨げにもなっていた。

また、出力電圧端子間に外部から設定電圧以上の電圧が印加された場合や、出力端子間に外部の大容量のコンデンサを付けたときの電源停止時にも、2次側の同期整流素子をオフできずに貫通電流が流れたり、出力端子間に接続された大容量の外部コンデンサの電力により、2次側の回路で自励発振したりするという問題もあった。

この発明は、負荷の急変により主スイッチ素子のオン時間が長くなった場合にも、主スイッチがオンする前に確実に同期整流素子をオフさせることができるフライバック型の同期整流スイッチング電源装置を提供することを目的とする。

さらにこの発明は、負荷の急変や出力端子間に接続された外部機器にかかわらず、スイッチング電源回路の貫通電流や自励発振を防止したフライバック型の同期整流スイッチン

グ電源装置を提供することを目的とする。

発明の開示

この発明は、入力端子間にトランスの1次巻線と主スイッチ素子が直列に接続され、一定の周期内で上記主スイッチ素子をPWM制御する制御回路と、出力端子間に上記トランスの2次巻線と直列に接続された同期整流素子と、上記同期整流素子を上記主スイッチ素子と相補的にオンさせる駆動手段とを有したフライバック型の同期整流スイッチング電源装置であって、上記主スイッチ素子のスイッチングにより上記トランスの2次側の巻線に発生するパルス電圧により充電される別電源と、上記同期整流素子のゲートソース間に設けられ上記同期整流素子をオフさせる遮断手段を設け、上記遮断手段が上記同期整流素子をオフさせるオフタイミングを、上記主スイッチ素子がオンした後の上記別電源からの電流により設定される一定の時間であって、上記主スイッチ素子の一定の駆動周期に可及的に近い範囲内のタイミングとした同期整流スイッチング電源装置である。

上記遮断手段は、トランジスタとこのトランジスタの信号入力端子に接続されたタイミングコンデンサとから成り、上記タイミングコンデンサが上記別電源により充電され、上記主トランジスタがオンした瞬間に放電するとともにその瞬間から上記タイミングコンデンサが充電を開始し、このタイミングコンデンサの電圧が上記トランジスタの信号入力端子の閾値を越えるまでの時間を、上記主スイッチ素子の一定の駆動周期の範囲内の時間としたものである。

また、上記別電源は、上記トランスの2次側に接続された定電圧源または定電流源である。さらに、上記タイミングコンデンサを充電する別電源に、上記同期整流素子のオフ時のサージエネルギーを吸収するスナバ回路を兼用させ、このスナバ回路で吸収したエネルギーにより、上記タイミングコンデンサを充電するものでも良い。

この発明の同期整流スイッチング電源は、主スイッチ素子のオンタイミングから確実に一定の期間で同期整流素子がオフするようにしたので、負荷電流が急変しても主スイッチ素子と同期整流素子が同時にオン状態となることがない。これにより、同期整流素子がオフしてから主スイッチ素子のオンタイミングまでのデッドタイムを可及的に短くすることができ、ダイオードによる整流期間を少なくして損失を抑え、スイッチング周波数も高周波化することができる。さらに、小型化、低コスト化にも寄与する。

また本願の他の発明は、入力端子間にトランスの1次巻線と主スイッチ素子が直列に接

続され、一定の周期内で上記主スイッチ素子をPWM制御する制御回路と、出力端子間に上記トランスの2次巻線と直列に接続された同期整流素子と、上記同期整流素子を上記主スイッチ素子と相補的にオンさせる駆動手段とを有したフライバック型の同期整流スイッチング電源装置であって、上記主スイッチ素子のスイッチングにより上記トランスの2次側の巻線に発生するパルス電圧により充電される別電源と、上記同期整流素子のゲートソース間に設けられ上記同期整流素子をオフさせる遮断手段を設け、上記別電源の出力電圧と上記スイッチング電源装置の出力端子の出力電圧とを比較して、上記別電源の出力電圧が一定値以下に低下した場合に、上記遮断手段により上記同期整流素子をオフさせる制御素子を備えた同期整流スイッチング電源装置である。

上記遮断手段のトランジスタは、上記同期整流素子をオフさせるnpnトランジスタであり、上記制御素子は、上記出力端子にエミッタが接続されコレクタが上記npnトランジスタのベースに接続されたpnpトランジスタであり、このpnpトランジスタのベースに上記別電源の出力が接続されている。また、上記別電源の出力電圧を分圧して、上記pnpトランジスタのベースに入力させても良い。

本願の他の発明によれば、負荷の急変による貫通電流や、電源停止時又は外部電圧印加時に自励発振するという現象を確実に防止することができ、装置の構成部品の小型化を可能にし、装置全体の小型化や低コスト化に大きく寄与するものである。

図面の簡単な説明

図1は、従来のフライバック型同期整流スイッチング電源装置の動作を示すタイミングチャートである。

図2は、この発明の第一実施形態の同期整流スイッチング電源装置を示す概略回路図である。

図3は、この実施形態の同期整流スイッチング電源装置の主スイッチ素子のデューティが広い場合の動作を示すタイミングチャート(A)と、狭い場合のタイミングチャート(B)である。

図4は、この発明の第二実施形態の同期整流スイッチング電源装置を示す概略回路図である。

図5は、この発明の第三実施形態の同期整流スイッチング電源装置を示す概略回路図である。

図 6 は、この発明の第四実施形態の同期整流スイッチング電源装置を示す概略回路図である。

図 7 は、この発明の第五実施形態の同期整流スイッチング電源装置を示す概略回路図である。

図 8 は、この発明の第五実施形態の同期整流スイッチング電源装置の他の例を示す概略回路図である。

発明を実施するための最良の形態

以下、この発明の実施の形態について図面に基づいて説明する。図 2 は、この発明の第一実施形態のフライバック型の同期整流スイッチング電源装置の回路を示す。このスイッチング電源回路は、入力端子 11, 12 間に直流電源 10 が接続され、トランス T の 1 次巻線 N1 と MOS-FET の主スイッチ素子 Q1 が直列に接続されている。直流電源 10 のプラス側の入力端子 11 には、主スイッチング素子 Q1 の ON 時に正電圧が発生する端子である 1 次巻線 N1 のドットを付した側の端子が接続され、トランス T のドットのない側の端子が主スイッチ素子 Q1 のドレインに接続されている。そして、主スイッチ素子 Q1 のソースが、直流電源 10 のマイナス側の入力端子 12 に接続され、主スイッチ素子 Q1 のゲートには、一定の周期で入出力条件に対応して主スイッチ素子 Q1 を PWM (Pulse Width Modulation) 制御する制御回路 18 の駆動信号出力が接続されている。

トランス T の 2 次巻線 N2 のドットのない側の端子は、出力コンデンサ C2 の一端に接続され、トランス T の 2 次巻線 N2 のドットのある側の端子が、MOS-FET の同期整流素子 Q2 のドレインに接続されている。同期整流素子 Q2 のソースは、出力コンデンサ C2 の他端側である基準電位側に接続されている。この出力コンデンサ C2 の両端が、出力端子 13, 14 に接続されている。同期整流素子 Q2 のドレインーソース間には、ダイオード D4 が並列に接続されている。ダイオード D4 は、アノードが同期整流素子 Q2 のソースに、カソードがドレインに接続されている。従って、このダイオード D4 は、MOS-FET の同期整流素子 Q2 のボディードायオードに置き換えても良い。

さらに、トランス T の 2 次側には、同期整流素子 Q2 の駆動手段としての補助巻線 N3 が設けられ、この補助巻線 N3 のドットを付した側の端子が基準電位に接続され、ドットのない側の端子は、抵抗 R1 を介して動作加速用のコンデンサ C4 の一端に接続されている。コンデンサ C4 の他端は、ダイオード D1 のカソードに接続され、ダイオード D1 の

アノードは、基準電位に接続されている。ダイオードD 1のカソードとコンデンサC 4の他端との間には、同期整流素子Q 2のゲートが接続されている。

同期整流素子Q 2のゲートには、n p n型のトランジスタT r 1のコレクタが接続され、トランジスタT r 1のエミッタが基準電位に接続されている。トランジスタT r 1の信号入力端子であるベースには、タイミングコンデンサC 3の一端が接続され、タイミングコンデンサC 3の他端は基準電位に接続されている。トランジスタT r 1のベースは、さらに別電源である定電圧源1 6の出力が抵抗R 2を介して接続されているとともに、n p n型のトランジスタT r 2のコレクタにも接続されている。トランジスタT r 2のエミッタは、基準電位に接続され、ベースは2次巻線N 2のドットを付した側の端子に、コンデンサC 7を介して接続されている。トランジスタT r 2のベース－エミッタ間には、並列に抵抗R 3とダイオードD 2が接続されている。ダイオードD 2は、カソードがベースに接続され、アノードが基準電位に接続されている。

定電圧源1 6は、2次巻線N 2のドットを付した側の端子に一端が接続されたコンデンサC 5と、このコンデンサC 5の他端がアノードに接続されたダイオードD 3と、ダイオードD 3のカソードと基準電位との間に接続されたコンデンサC 6と、ダイオードD 3のアノードと基準電位との間に接続されたツェナーダイオードZ D 1とから成る。このツェナーダイオードZ D 1の、カソードがダイオードD 3のアノードに接続され、アノードが基準電位に接続されている。また、定電圧源1 6は、同期整流素子Q 2のオフ時のサージエネルギーを吸収するスナバ回路を兼ねた構成となっている。

次に、この実施形態の同期整流スイッチング電源装置の制御方法と動作について、図2、図3を基にして説明する。まず、図2の回路における、主スイッチ素子Q 1がターンオンすると、1次巻線N 1及び2次巻線N 2のドットのある側が各々プラスとなるが、図3(A)、(B)に示すように、同期整流素子Q 2のゲート・ソース間電位 V_{gs} はロウであり、同期整流素子Q 2オフしており、同期整流素子Q 2の電流 I_{d1} は流れない。また、このとき定電圧源1 6には、2次巻線N 2のドットのある側から電流が流れコンデンサC 5、C 6を充電し、定電圧源1 6のコンデンサC 6の一端ではツェナーダイオードZ D 1により設定される一定電圧が得られる。そして、定電圧源1 6出力であるコンデンサC 6の一端から、抵抗R 2を介してタイミングコンデンサC 3に電流が流れ、これを充電する。さらに、主スイッチ素子Q 1がオンしている期間は補助巻線N 3のドットのある側がハイであるが、同期整流素子Q 2のゲートはダイオードD 1を介して基準電位にある。

この後、制御回路18により、入出力条件に合わせてPWM制御により主スイッチ素子Q1がターンオフすると、2次巻線N2のドットのない側の端子にフライバック電圧が発生し、同時に補助巻線N3のドットのない側の端子にもフライバック電圧が発生し、コンデンサC4を介して同期整流素子Q2のゲート容量Cissを充電しゲートソース間電位Vgsがハイになり、同期整流素子Q2がターンオンする。これにより、出力コンデンサC2を介して2次巻線のドットのない側の端子からドットのある側の端子に電流Id1が流れ、出力コンデンサC2が充電される。

また、主スイッチ素子Q1がターンオンした直後から、タイミングコンデンサC3が定電圧源16からの電流により充電され、一定時間が経過すると、タイミングコンデンサC3の電位は、トランジスタTr1のベースの閾値に至る。これにより、トランジスタTr1がオンし、同期整流素子Q2のゲート容量Cissを放電し、同期整流素子Q2はターンオフする。しかし、この後も主スイッチ素子Q1がターンオンするまで、同期整流素子Q2に並列に設けられたダイオードD4により、電流Id2が流れる。電流Id2はダイオードによる損失があるので、電流Id1よりも少ない。このダイオードD4により電流が流れる期間が、主スイッチ素子Q1がオンする前に同期整流素子Q2をオフにするためのデッドタイムdtである。

そして、主スイッチ素子Q1がターンオンすると、2次巻線N2のドットのある側の電位がコンデンサC7を介してトランジスタTr1のベースに印加され、その瞬間にトランジスタTr1がロウになりタイミングコンデンサC3の電荷が一瞬にして放電される。なおこの期間はコンデンサC7の容量が相対的に十分に小さいので、主スイッチ素子Q1のスイッチング周波数に比べて十分に短い一瞬の期間で完了する。そしてこの瞬間から、上述のように、タイミングコンデンサC3の充電が再び始まる。

この実施形態のフライバック型の同期整流スイッチング電源では、制御回路18により主スイッチ素子Q1のスイッチング周期Tは一定であり、入出力条件に合わせて、図3(A)、(B)に示すように、主スイッチ素子Q1のオン期間であるDutyが変わる。しかし、この実施形態のトランジスタTr1のベースに印加されるタイミングコンデンサC3の電位は、定電圧源16により主スイッチ素子Q1のオンタイミングから一定時間で、トランジスタTr1のベースの閾値に達するので、負荷電流が急激に増加して出力電圧が過渡的に低下したときに、出力電圧を上昇させるために、主スイッチ素子Q1のオン期間が一時的に長くなっても、主スイッチ素子Q1のオンタイミングから確実に一定の時間で同期整

流素子Q 2がオフする。これにより、同期整流素子Q 2がオフから主スイッチ素子Q 1のオンまでのデッドタイム t_d を可及的に短くすることができ、ダイオードD 4による整流期間を短縮して損失を抑え、スイッチング周波数も高周波化することができる。

また、タイミングコンデンサC 3の充電回路である定電圧源1 6は、同期整流素子Q 2のオフ時のサージエネルギーを吸収するスナバ回路を構成しており、このスナバ回路で吸収したエネルギーにより、タイミングコンデンサを充電するので、よりエネルギー効率の高い電源とすることができる。

つぎにこの発明の第二実施形態の同期整流スイッチング電源装置を図4に示す。ここで上記実施形態と同様の構成は同一符号を付して説明を省略する。この実施形態では、第一実施形態と異なりタイミングコンデンサC 3に定電流回路から成る定電流源2 0の出力が接続されたものである。

この定電流源2 0は、トランスTの2次巻線N 2のドットのある側の端子にアノードが接続されたダイオードD 5と、ダイオードD 5のカソードが一端に接続され他端が基準電位に接続されたコンデンサC 8を備えている。さらに、ダイオードD 5のカソードが、抵抗R 4を介してp n p型のトランジスタT r 3のエミッタに接続され、トランジスタT r 3のコレクタが、この定電流源2 0の出力としてタイミングコンデンサC 3の一端に接続されている。さらに、ダイオードD 5のカソードにはツェナーダイオードZ D 2のカソードが接続され、ツェナーダイオードZ D 2のアノードがトランジスタT r 3のベースに接続されているとともに、抵抗R 5を介して基準電位に接続されている。定電流は、ツェナーダイオードZ D 2により設定される一定電圧と抵抗R 4により設定される。

この実施形態のフライバック型の同期整流スイッチング電源装置では、タイミングコンデンサC 3を定電流回路2 0からの定電流で充電することができ、タイミングコンデンサC 3の電圧は直線的に上昇する。

この実施形態の同期整流スイッチング電源装置においても、上記実施形態と同様の効果を得ることができ、この場合特にタイミングコンデンサC 3の電圧上昇が直線的であり、同期整流素子Q 2のオフタイミングを設定しやすいものである。なお、この定電流源2 0に、スナバ回路を設けても良い。これにより、さらにエネルギー効率の高いものとすることができる。

つぎにこの発明の第三実施形態の同期整流スイッチング電源装置を図5に示す。ここで上記実施形態と同様の構成は同一符号を付して説明を省略する。この実施形態では、第一

実施形態と異なりタイミングコンデンサC 3の一端を、ダイオードD 6を介して、動作加速用のコンデンサC 4とトランジスタT r 1のコレクタが接続された端子の間に繋がっている。ダイオードD 6はアノードがタイミングコンデンサC 3に接続され、カソードがコンデンサC 4の端子に接続されている。

この実施形態の同期整流スイッチング電源装置の動作は、上記実施形態の回路と同様であるが、タイミングコンデンサC 3の放電を、主スイッチ素子Q 1がオフして補助巻線N 3のドットのある側がプラスの電位になることにより成される。このときの電流の流れは、補助巻線N 3のドットのある側の端子から、タイミングコンデンサC 3の基準電位側の電極及び反対側の電極を経て、ダイオードD 6、コンデンサC 4を経由して、補助巻線N 3のドットのない側の端子に電流が流れ、コンデンサC 3の放電が行われる。

この実施形態によっても上記第一実施形態と同様の効果を得ることができ、さらに、タイミングコンデンサC 3の放電のための回路構成を簡略化することができ、電子部品数を減らして装置の小型化やコストダウンをより進めることができる。

つぎに本発明の第四実施形態の同期整流スイッチング電源装置を図6に示す。ここで上記実施形態と同様の構成は同一符号を付して説明を省略する。この実施形態では、第三実施形態定電圧源1 6を定電流源2 0に置き換えたものである。この実施形態によれば、上記第二実施形態と同様の効果を得ることができ、さらに、上記第三実施形態と同様に、タイミングコンデンサC 3の放電のための回路構成を簡略化することができ、装置の小型化やコストダウンをより進めることができる。

つぎに本発明の第五実施形態の同期整流スイッチング電源装置を図7に示す。ここで上記実施形態と同様の構成は同一符号を付して説明を省略する。この実施形態の同期整流スイッチング電源装置は、直流電源の入力端子1 1, 1 2と並列に入力コンデンサC 1が設けられ、入力コンデンサC 1の両端に、トランスTの1次巻線N 1と主スイッチ素子Q 1より成る直列回路が接続されている。トランスTの1次巻線N 1はドットのある方が入力端子1 1に接続され、ドットの無い方が主スイッチ素子Q 1に接続されている。主スイッチ素子Q 1はMOS-FET等の半導体スイッチ素子からなる。トランスTの2次巻線N 2は、ドットのない方の端子が出力端子1 3に接続され、ドットのある方の端子には、MOS-FET等の同期整流素子Q 2が直列に設けられて基準電位側の出力端子1 4に接続されている。さらに、出力端子1 3, 1 4間には、平滑用の出力コンデンサC 2が設けられている。

同期整流素子Q2のドレインソース間には、電源回路の2次側に設けられた別電源である定電圧源16が設けられている。定電圧源16は、MOS-FET等の同期整流素子Q2のドレインに一端が接続されたコンデンサC5を備え、コンデンサC5の他端が抵抗R6の一端に接続され、抵抗R6の他端はツェナーダイオードZD1のカソードに接続され、ツェナーダイオードZD1のアノードが基準電位に接続されている。さらに、抵抗R6の他端はダイオードD3のアノードに接続され、ダイオードD3のカソードがコンデンサC6を介して基準電位に接続されている。ダイオードD3のカソードとコンデンサC6の間の点が、この定電圧源16の出力となっている。

さらに、トランスTの2次側には、同期整流素子Q2の駆動手段としての補助巻線N3が設けられ、この補助巻線N3のドットを付した側の端子が基準電位に接続され、ドットのない側の端子は、スピードアップ用のコンデンサC4を介して同期整流素子Q2のゲートに接続されている。さらに、補助巻線3のドットのない側の端子は、ダイオードD6のカソードに接続され、ダイオードD6のアノードが抵抗R7、タイミングコンデンサC3の直列回路を経て基準電位に接続されている。抵抗R7とタイミングコンデンサC3の間の点は、定電圧源16のダイオードD3のカソードとコンデンサC6の間の点に、抵抗R2を介して接続されている。さらに、抵抗R7とコンデンサC3の間の点は、npn型のトランジスタTr1のベースに接続されている。トランジスタTr1のコレクタは、同期整流素子Q2のゲートに接続され、エミッタは基準電位に接続されている。また、同期整流素子Q2のゲートには、ダイオードD1のカソードが接続され、ダイオードD1のアノードが基準電位に接続されている。

出力端子13とトランジスタTr1のベースとの間には、スイッチ素子制御手段であるpnp型のトランジスタTr4が接続されている。トランジスタTr4は、エミッタが出力端子13に接続され、コレクタが抵抗R8を介してトランジスタTr1のベースに接続されている。トランジスタTr4のベースは、定電圧源16の出力であるダイオードD3のカソードとコンデンサC6に接続されている。

このスイッチング電源装置の動作は、主スイッチ素子Q1を、制御回路18によりオン・オフしPWM制御する。主スイッチ素子Q1のオン期間には、同期整流素子Q2はオフしており電流は流れず、定電圧源16のコンデンサC6がコンデンサC5を介して充電される。コンデンサC5はコンデンサC6の充電量を制限するものである。コンデンサC6の充電電圧は、ツェナーダイオードZD1により設定される電圧である。また、主スイッチ

素子Q1のオン期間に、補助巻線N3によりコンデンサC4が、ダイオードD1のカソード側をプラスにして充電される。

主スイッチ素子Q1がオフすると、同期整流素子Q2のゲートには、補助巻線N3のドットのない側の端子の電圧とコンデンサC4の充電電圧とが加えられて充電され、同期整流素子Q2がオンする。同時に、2次巻線N2に発生するフライバック電圧により、2次巻線N2に蓄えられたエネルギーが出力コンデンサC2に充電される。

また、主スイッチ素子Q1がオフすると同時に、定電圧源16によりタイミングコンデンサC3の充電が抵抗R2を介して開始される。そして、タイミングコンデンサC3の電位が次第に上昇し、トランジスタTR1がオンする電位に達すると、トランジスタTR1がオンし同期整流素子Q2のゲートの電荷を放電して、同期整流素子Q2をオフする。トランジスタTR1がオンするタイミングは、主スイッチ素子Q1がオンする直前のタイミングに設定される。そして主スイッチ素子Q1がオンすると、再び定電圧源16のコンデンサC6の充電が開始するとともに、タイミングコンデンサC3が抵抗R7、ダイオードD6を経て放電する。

ここで、トランジスタTr4のベースには、定電圧源16のコンデンサC6の電位が印加され、定電圧源16の出力電圧と出力端子13の出力電圧とを比較し、主スイッチ素子Q1が停止して、定電圧源16のコンデンサC6の電圧が低下し、トランジスタTr4がオンする所定の電位以下となると、pnp型トランジスタTr4がオンし、抵抗R8を介してタイミングコンデンサC3を充電し、トランジスタTr1をオンさせる。これにより同期整流素子Q2のゲート電荷が放電され、同期整流素子Q2はオフする。トランジスタTr4がオンしている間、すなわち、主スイッチ素子Q1の停止等により定電圧源16のコンデンサC6の電位が所定電位以下である間は、トランジスタTr1がオンし、同期整流素子Q2はオフしている。この間に主スイッチ素子Q1がスイッチングをはじめると、同期整流素子Q2はそのボディーダイオードによる整流を行う。また、定電圧源16への充電が、トランジスタTr4を介しても行われ、定電圧源16の充電がより迅速になされる。

この実施形態のスイッチング電源装置によれば、負荷の急変により主スイッチ素子Q1が停止していた後、スイッチングを再開した場合にも、同期整流素子Q2を確実にオフさせ、定電圧源16の出力電圧が所定値以上となり、タイミングコンデンサC3及びトランジスタTr1により正常に且つ確実に同期整流素子Q2を駆動可能となるまで、同期整流

素子Q 2をオンさせないようにしている。これにより貫通電流が電源回路に流れることがなく、回路素子の損傷等を確実に防止することができる。

また、出力端子1 3, 1 4間に外部の装置により設定電圧よりも高い電圧がかかった場合も、主スイッチ素子Q 1が停止し、定電圧源1 6の出力電圧は低下する。この場合も、上記と同様に定電圧源1 6の電位の低下によりトランジスタT r 4がオンし、トランジスタT r 1により同期整流素子Q 2をオフ状態にし、自励発振を防止する。

さらに、出力端子1 3, 1 4間の外部装置として大容量のコンデンサを接続した状態で、リモコンや入力電圧の遮断により主スイッチ素子Q 1が動作を停止した場合にも、2次側の定電圧源1 6の電圧は低下し、同期整流用トランジスタQ 2がオフさせられる。これにより、出力端子1 3, 1 4間の外部の大容量コンデンサに蓄えられたエネルギーによる自励発振を防止することができ、さらに、大容量コンデンサに貯えられたエネルギーを抵抗R 4で消費させ、速やかに出力電圧を低下させる。

なお、この発明のフライバック式の同期整流スイッチング電源装置は上記実施形態に限定されるものではなく、例えば図8に示すように、図7に示す回路の定電圧源1 6の出力電位を、抵抗R 9, R 1 0で分圧して、トランジスタT r 4のベースに入力させるようにしても良い。これにより、抵抗R 9, R 1 0を適宜設定して、トランジスタT r 4のオン電位を任意に設定することができる。さらに、その他適宜の他の回路を組み合わせたものでも良い。

さらに、この実施形態のフライバック型の同期整流スイッチング電源装置において、別電源の充電を補助巻線により行っても良いものであり、回路も適宜他の回路を組み合わせたものでも良い。

請 求 の 範 囲

1. 入力端子間にトランスの1次巻線と主スイッチ素子が直列に接続され、一定の周期内で上記主スイッチ素子をPWM制御する制御回路と、出力端子間に上記トランスの2次巻線と直列に接続された同期整流素子と、上記同期整流素子を上記主スイッチ素子と相補的にオンさせる駆動手段とを有したフライバック型の同期整流スイッチング電源装置において、上記主スイッチ素子のスイッチングにより上記トランスの2次側の巻線に発生するパルス電圧により充電される別電源と、上記同期整流素子のゲートソース間に設けられ上記同期整流素子をオフさせる遮断手段を設け、上記遮断手段が上記同期整流素子をオフさせるオフタイミングを、上記主スイッチ素子がオンした後の上記別電源からの電流により設定される一定の時間であって、上記主スイッチ素子の一定の駆動周期に可及的に近い範囲内のタイミングとしたことを特徴とする同期整流スイッチング電源装置。
2. 上記遮断手段は、トランジスタとこのトランジスタの信号入力端子に接続されたタイミングコンデンサとから成り、上記タイミングコンデンサが上記別電源により充電され、上記主トランジスタがオンした瞬間に放電するとともにその瞬間から上記タイミングコンデンサが充電を開始し、このタイミングコンデンサの電圧が上記トランジスタの信号入力端子の閾値を越えるまでの時間を、上記主スイッチ素子の一定の駆動周期の範囲内の時間としたことを特徴とする請求項1記載の同期整流スイッチング電源装置。
3. 上記別電源は、上記トランスの2次側に接続された定電圧源または定電流源であることを特徴とする請求項2記載の同期整流スイッチング電源装置。
4. 上記タイミングコンデンサを充電する別電源に、上記同期整流素子のオフ時のサージエネルギーを吸収するスナバ回路を設け、このスナバ回路で吸収したエネルギーにより、上記タイミングコンデンサを充電することを特徴とする請求項3記載の同期整流スイッチング電源装置。
5. 入力端子間にトランスの1次巻線と主スイッチ素子が直列に接続され、一定の周期内で上記主スイッチ素子をPWM制御する制御回路と、出力端子間に上記トランスの2次巻線と直列に接続された同期整流素子と、上記同期整流素子を上記主スイッチ素子と相補的にオンさせる駆動手段とを有したフライバック型の同期整流スイッチング電源装置において、上記主スイッチ素子のスイッチングにより上記トランスの2次側の巻線に発生するパルス電圧により充電される別電源と、上記同期整流素子のゲートソース間に設けられ上記同期整流素子をオフさせる遮断手段を設け、上記別電源の出力電圧と上記スイッチング

電源装置の出力端子の出力電圧とを比較して、上記別電源の出力電圧が一定値以下に低下した場合に、上記遮断手段により上記同期整流素子をオフさせる制御素子を備えたことを特徴とする同期整流スイッチング電源装置。

6. 上記遮断手段のトランジスタは上記同期整流素子をオフさせるnpnトランジスタであり、上記制御素子は、上記出力端子にエミッタが接続されコレクタが上記npnトランジスタのベースに接続されたpnpトランジスタであり、このpnpトランジスタのベースに上記別電源の出力が接続されていることを特徴とする請求項5記載の同期整流スイッチング電源装置。

7. 上記別電源は、上記トランスの2次側に接続された定電圧源であり、上記別電源の出力電圧を分圧して、上記pnpトランジスタのベースに入力させたことを特徴とする請求項6記載の同期整流スイッチング電源装置。

8. 上記タイミングコンデンサを充電する別電源に、上記同期整流素子のオフ時のサージエネルギーを吸収するスナバ回路を設け、このスナバ回路で吸収したエネルギーにより、上記タイミングコンデンサを充電することを特徴とする請求項7記載の同期整流スイッチング電源装置。

図 1

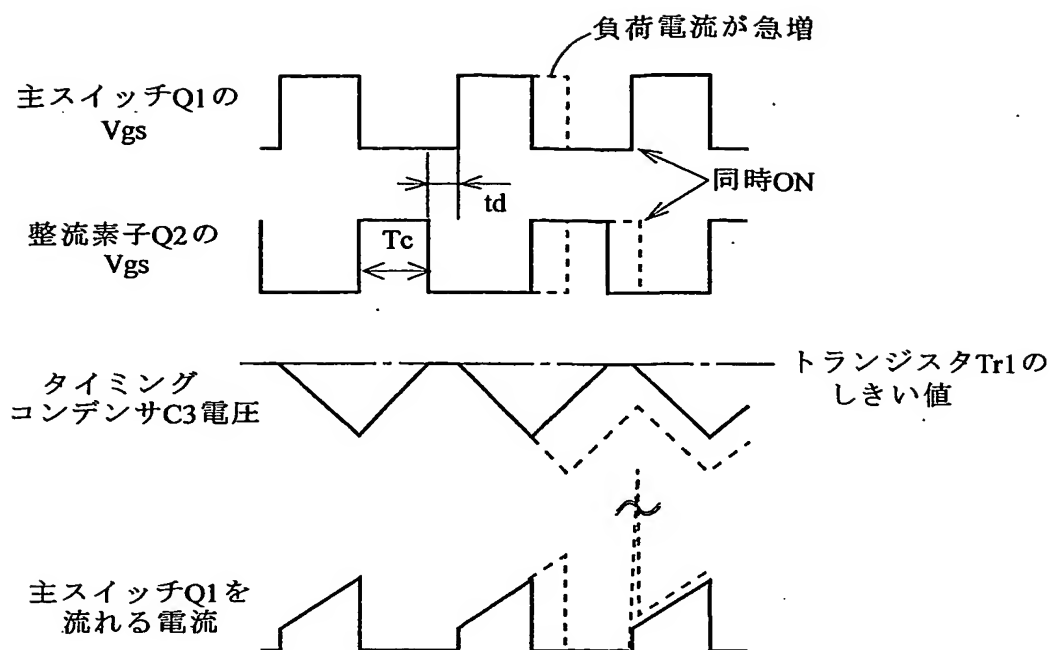


図 2

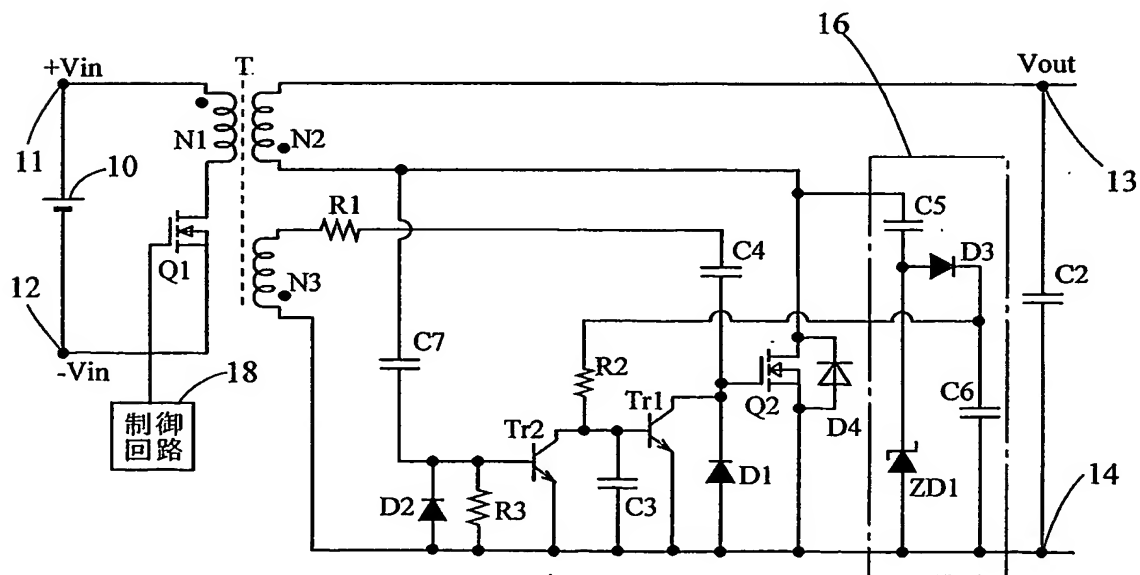
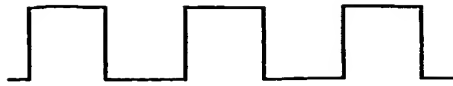
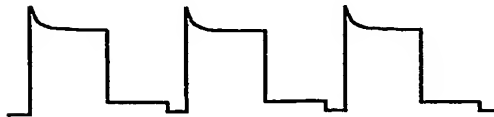
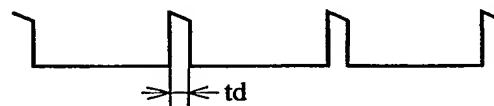


図 3

(A)

主SWQ1
電圧 V_{gs} 整流素子Q2
電圧 V_{ds} タイミングコンデンサC3
電圧 V_c 整流素子Q2
電圧 V_{gs} 整流素子Q2
電流 I_{d1} ダイオードD4
電流 I_{d2} 

(B)

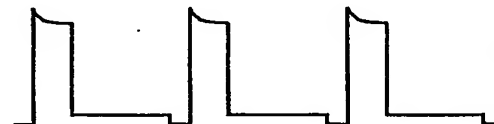
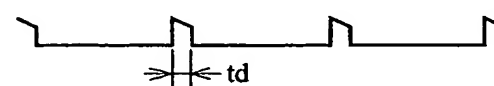
整流素子Q2
電圧 V_{ds} タイミングコンデンサC3
電圧 V_c 整流素子Q2
電圧 V_{gs} 整流素子Q2
電流 I_{d1} ダイオードD4
電流 I_{d2} 

図 4

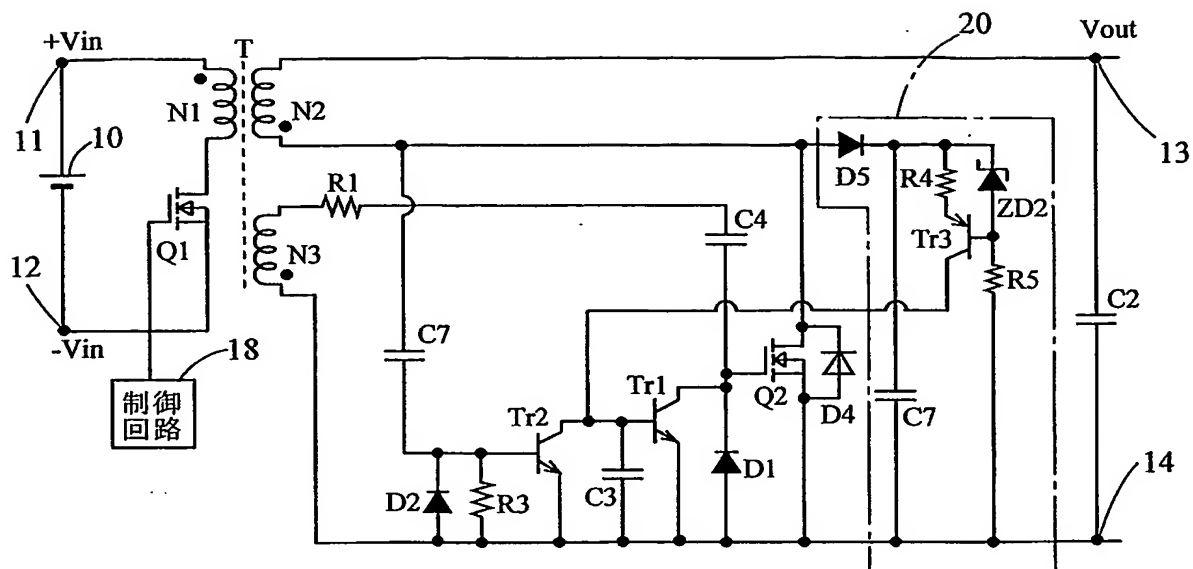


図 5

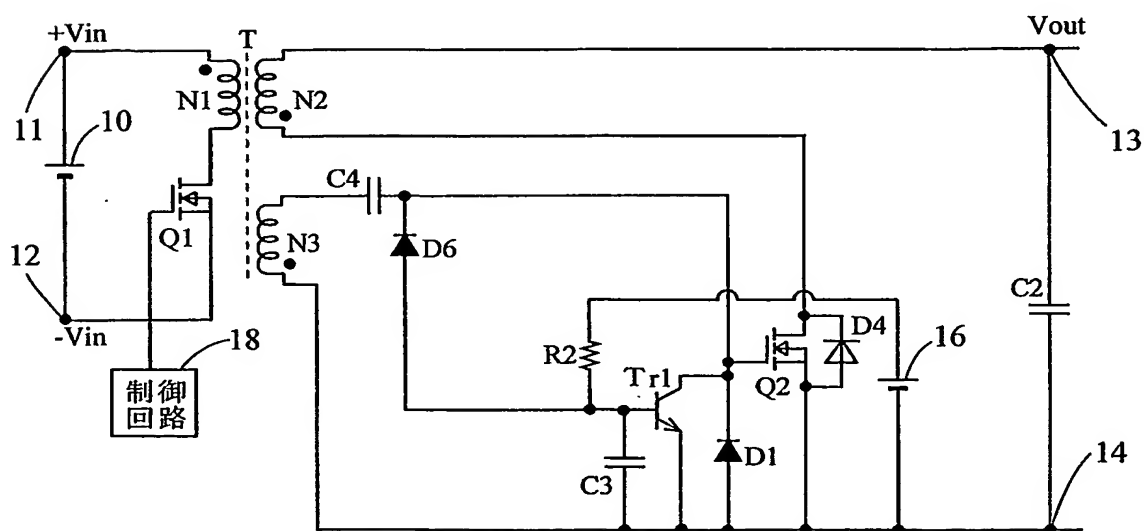
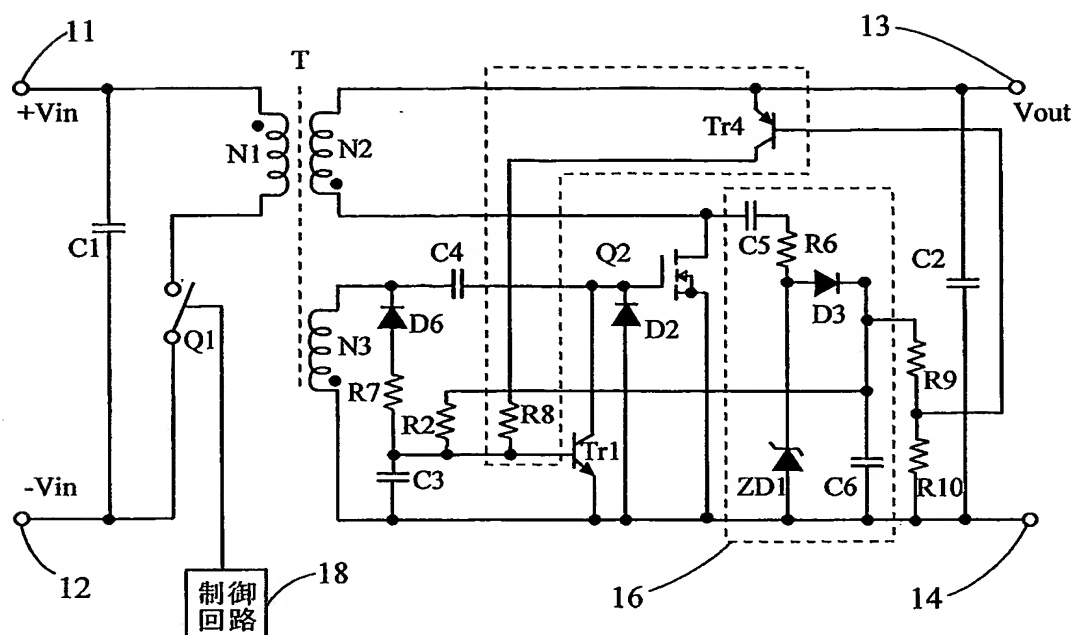


图 8



INTERNATIONAL SEARCH REPORT

International Application No.

PCT/JP03/14689

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ H02M3/28

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ H02M3/00-3/44, 7/00-7/40

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Toroku Jitsuyo Shinan Koho	1994-2004
Kokai Jitsuyo Shinan Koho	1971-2004	Jitsuyo Shinan Toroku Koho	1996-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	JP 2001-292569 A (Densei-Lambda Kabushiki Kaisha), 19 October, 2001 (19.10.01), Par. Nos. [0007] to [0016]; Figs. 1 to 4 (Family: none)	1-3 4-8
A	JP 5-199744 A (Fujitsu Ltd.), 06 August, 1993 (06.08.93), Par. Nos. [0008] to [0040]; Figs. 1 to 9 (Family: none)	1-8
A	JP 2002-84755 A (Fujitsu Denso Ltd.), 22 March, 2002 (22.03.02), Par. Nos. [0012] to [0026]; Figs. 1 to 2 (Family: none)	1-8

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier document but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search
10 February, 2004 (10.02.04)

Date of mailing of the international search report
24 February, 2004 (24.02.04)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International Application No.

PCT/JP03/14689

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 6-319257 A (Toko, Inc.), 15 November, 1994 (15.11.94), Par. Nos. [0013] to [0019]; Fig. 1 (Family: none)	1-8
A	JP 2002-199713 A (Shindengen Electric Mfg. Co., Ltd.), 12 July, 2002 (12.07.02), Par. Nos. [0014] to [0015]; Figs. 5, 7 (Family: none)	1-8

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl⁷

H02M 3/28

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl⁷

H02M 3/00-3/44, 7/00-7/40

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2004年
日本国登録実用新案公報	1994-2004年
日本国実用新案登録公報	1996-2004年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	JP 2001-292569 A (デンセイ・ラムダ株式会社)	1-3
A	19. 10. 2001, 【0007】-【0016】, 図1-4 (ファミリーなし)	4-8
A	JP 5-199744 A (富士通株式会社) 06. 08. 1993, 【0008】-【0040】, 図1-9 (ファミリーなし)	1-8

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」 口頭による開示、使用、展示等に関する文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」 同一パテントファミリー文献

国際調査を完了した日

10. 02. 2004

国際調査報告の発送日

24. 2. 2004

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

櫻田 正紀

3V

2917

電話番号 03-3581-1101 内線 3356

C (続き) . 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 2002-84755 A (富士通電装株式会社) 22. 03. 2002, 【0012】 - 【0026】, 図1-2 (ファミリーなし)	1-8
A	JP 6-319257 A (東光株式会社) 15. 11. 1994, 【0013】 - 【0019】, 図1 (ファミリーなし)	1-8
A	JP 2002-199713 A (新電元工業株式会社) 12. 07. 2002, 【0014】 - 【0015】, 図5, 7 (ファミリーなし)	1-8